

Practitioner's Docket No.: 040021-0306970
Client Reference No.: OPP 030892 US

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: KWAN-JU KOH

Confirmation No:

Application No.:

Group No.:

Filed: December 3, 2003

Examiner:

For: MOS TRANSISTOR AND FABRICATION METHOD THEREOF

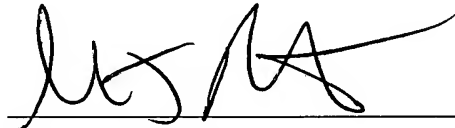
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Republic of Korea	10-2002-0076823	12/5/2002

Date: December 3, 2003
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909



Glenn T. Barrett
Registration No. 38705



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0076823
Application Number

출원년월일 : 2002년 12월 05일
Date of Application

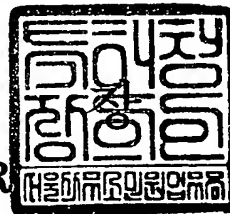
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 08 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
 【권리구분】 특허
 【수신처】 특허청장
 【참조번호】 0007
 【제출일자】 2002.12.05
 【발명의 명칭】 모스 트랜지스터 및 그 제조 방법
 【발명의 영문명칭】 MOS transistor and fabrication method thereof

【출원인】

【명칭】 아남반도체 주식회사
 【출원인코드】 1-1998-002671-9

【대리인】

【명칭】 유미특허법인
 【대리인코드】 9-2001-100003-6
 【지정된변리사】 오원석
 【포괄위임등록번호】 2001-041985-8

【발명자】

【성명의 국문표기】 고관주
 【성명의 영문표기】 KOH, KWAN JU
 【주민등록번호】 691123-1622428
 【우편번호】 420-729
 【주소】 경기도 부천시 원미구 중4동 금강마을 407동 101호
 【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)

【수수료】

【기본출원료】	14 면	29,000 원
【가산출원료】	0 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	11 항	461,000 원
【합계】		490,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

모스 트랜지스터 및 그 제조 방법에 관한 것으로, 그 목적은 소형화에 유리한 모스 트랜지스터 구조 및 그 제조방법을 제공하는 것이다. 이를 위해 본 발명에서는, 반도체 기판을 선택적으로 식각하여 트렌치를 형성하는 단계; 트렌치의 바닥면에 소정폭의 실리콘층으로 이루어진 채널영역을 형성하고, 채널영역 상에 게이트산화막을 형성하는 단계; 게이트산화막의 상부 및 트렌치의 내부에 SiGe 영역을 형성하여 트렌치를 매립하는 단계; SiGe 영역을 선택적으로 식각하여 게이트산화막을 노출시키는 소정폭의 게이트구를 형성하는 단계; 노출된 게이트산화막 상에 실리콘층을 형성하여 게이트구를 매립함으로써 게이트를 형성하는 단계를 포함하여 모스 트랜지스터를 제조한다.

【대표도】

도 2e

【색인어】

트랜지스터, 트렌치, SiGe

【명세서】

【발명의 명칭】

모스 트랜지스터 및 그 제조 방법 {MOS transistor and fabrication method thereof}

【도면의 간단한 설명】

도 1은 종래 모스 트랜지스터를 도시한 단면도이다.

도 2a 내지 도 2e는 본 발명에 따른 모스 트랜지스터 제조 방법을 도시한 단면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<3> 본 발명은 반도체 소자에 관한 것으로, 더욱 상세하게는 모스 트랜지스터를 제조하는 방법에 관한 것이다.

<4> 일반적으로 종래 모스 트랜지스터는 필드 효과 트랜지스터(field effect transistor, FET)의 일종으로, 반도체 기판에 형성된 소스, 드레인 영역과, 이 소스, 드레인 영역이 형성된 반도체 기판 상에 게이트 산화막과 게이트가 형성된 구조를 가진다. 이러한 모스 트랜지스터의 구조에서 전극인 소스, 드레인, 게이트 상부에는 각각 전기적 신호를 인가하기 위한 금속 배선이 연결되어 소자를 작동시킨다.

<5> 도 1은 종래 모스 트랜지스터를 도시한 단면도이며, 여기에는, 실리콘웨이퍼(1)의 활성영역(active region) 표면에 소정폭의 게이트 산화막(3)과 게이트 전극으로 사용될 폴리실리콘(3)을 형성하고, 폴리실리콘(3)을 마스크로 이용하여 소자 영역의 실리콘웨이퍼(1)에 P형 또는 N형 도펀트를 저농도로 이온 주입함으로써 소자 영역의 실리콘웨이퍼(1)에 엘디디(LDD:lightly doped drain)(4)를 형성하며, 폴리실리콘(3)의 양 측벽에 사이드월(side wall)(5)을 형성한 후, 사이드월(5) 및 폴리실리콘(3)을 마스크로 이용하여 소자 영역의 실리콘웨이퍼(1)에 LDD(4)와 동일한 도전형의 도펀트를 고농도로 이온 주입함으로써 소자 영역의 실리콘웨이퍼(1)에 소스, 드레인(5)을 형성한 것이 도시되어 있다.

<6> 그러나, 이러한 구조의 종래 모스 트랜지스터는 반도체 소자의 고집적화에 따른 소형화에 한계가 있다.

<7> 따라서, 소형화에 유리한 새로운 구조의 모스 트랜지스터 및 그 제조방법이 요구되고 있는 실정이다.

【발명이 이루고자 하는 기술적 과제】

<8> 본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 그 목적은 소형화에 유리한 모스 트랜지스터 구조 및 그 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<9> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명에서는 반도체 기판을 소정영역 식각하여 트렌치를 형성하고, 트렌치 내에 p^+ 다결정질 SiGe막을 매립

하며, 이를 목적하는 소자의 크기에 맞는 활성영역으로 사용하는 것을 특징으로 한다.

<10> 즉, 본 발명에 따른 모스 트랜지스터 제조 방법은, 반도체 기판을 선택적으로 식각하여 트렌치를 형성하는 단계; 트렌치의 바닥면에 소정폭의 실리콘층으로 이루어진 채널영역을 형성하고, 채널영역 상에 게이트산화막을 형성하는 단계; 게이트산화막의 상부 및 상기 트렌치의 내부에 SiGe 영역을 형성하여 트렌치를 매립하는 단계; SiGe 영역을 선택적으로 식각하여 게이트산화막을 노출시키는 소정폭의 게이트구를 형성하는 단계; 노출된 게이트산화막 상에 실리콘층을 형성하여 게이트구를 매립함으로써 게이트를 형성하는 단계를 포함하여 이루어진다.

<11> 여기서, 채널영역 및 게이트산화막을 형성할 때에는, 트렌치를 포함하여 반도체 기판의 상부 전면에 실리콘층을 1000-3000 Å 두께로 형성하고, 실리콘층 상에 게이트산화막을 100-500 Å 두께로 형성한 후, 게이트산화막 상에 트렌치 내부에서 게이트산화막의 소정폭을 덮는 감광막 패턴을 형성하고, 감광막 패턴을 마스크로 하여 노출된 게이트산화막 및 실리콘층을 식각함으로써, 소정폭의 실리콘층으로 이루어진 채널영역 및 게이트산화막을 형성하는 것이 바람직하다.

<12> SiGe 영역을 형성할 때에는, SiGe의 증착과 동시에 불순물을 도핑하여 불순물이 도핑된 다결정질의 SiGe을 형성하는 것이 바람직하며, SiGe의 증착 시에는 Si과 Ge의 비율이 9:1 내지 7:3 이 되도록 증착하고, SiGe의 증착 후에는 열처리를 수행하는 단계를 더 포함하는 것이 바람직하다.

<13> SiGe 영역을 형성할 때에는, 트렌치의 내부를 포함하여 반도체 기판의 상부 전면에 상기 SiGe 영역을 형성한 후, 트렌치의 내부를 제외한 나머지 부분의

SiGe 영역을 제거하고, SiGe 영역을 포함하여 반도체 기판의 상부 전면에 티오에스(TEOS : tetra ethyl ortho silicate)막을 증착한 후, 반도체 기판이 노출될 때까지 티오에스막을 화학기계적 연마하는 것이 바람직하다.

<14> 게이트구의 형성 단계 이후에는, 게이트구의 양 측벽에 질화막으로 이루어진 사이드월을 형성하는 단계를 더 포함할 수 있다.

<15> 이하, 본 발명에 따른 모스 트랜지스터 및 그 제조 방법에 대해 첨부된 도면을 참조하여 상세히 설명한다.

<16> 도 2e에는 본 발명에 따른 모스 트랜지스터의 단면도가 도시되어 있는데, 이에 도시된 바와 같이, 반도체 기판(11) 내에는 목적하는 소자의 활성영역의 폭을 가지는 트렌치가 형성되어 있으며, 트렌치의 바닥면에는 소정폭 및 소정두께로 실리콘으로 이루어진 채널영역(12)이 형성되어 있다.

<17> 채널영역(12) 상에는 게이트산화막(13)이 형성되어 있고, 게이트산화막(13)의 상부에는 소정폭의 게이트구가 형성되어 있으며, 채널영역(12), 게이트산화막(13) 및 게이트구를 제외한 나머지 트렌치의 내부는 소스/드레인 영역 역할을 할 SiGe 영역(15)으로 매립되어 있다.

<18> 이 때 SiGe 영역(15)은, Si과 Ge의 비율이 9:1 내지 7:3 이고, 불순물이 도핑된 다결정질이며, SiGe 영역(15)의 상면에는 티오에스(TEOS : tetra ethyl ortho silicate)로 이루어진 절연막(16)이 형성될 수 있다,

- <19> 게이트구의 내부는 다결정실리콘층이 매립되어 게이트(18)를 이루고 있으며, 게이트구의 양 측벽에는 질화막으로 이루어진 사이드월(17)이 형성되어 있다.
- <20> 그러면, 상술한 구조의 본 발명에 따른 모스 트랜지스터 제조 방법을 도 2a 내지 2e를 참조하여 설명한다.
- <21> 먼저, 도 2a에 도시한 바와 같이, 실리콘웨이퍼(11)의 소정영역을 선택적으로 식각하여 트렌치(100)를 형성한 후, 트렌치(100)를 포함하여 실리콘웨이퍼(11)의 상부 전면에 전류가 흐르는 채널 역할을 할 실리콘막(12)을 형성하고, 그 위에 게이트산화막 역할을 할 산화막(13)을 형성한다.
- <22> 이 때 트렌치(100)가 반도체 소자를 형성하는 활성영역(active region)에 해당하므로, 트렌치(100)를 형성할 때에는 목적하는 활성영역의 폭에 해당하는 크기로 형성한다.
- <23> 실리콘막(12)은 채널 역할을 수행할 수 있는 정도의 두께로 형성하면 되므로, 보통 1000-3000Å 정도의 두께로 형성할 수 있으며, 산화막(13)은 게이트산화막 역할을 수행할 수 있는 정도의 두께로 형성하면 되므로, 보통 100-500Å 정도의 두께로 형성할 수 있다.
- <24> 이어서, 산화막(13) 상에 감광막을 도포하고 노광 및 현상하여, 트렌치(100) 내부에서 소정폭을 가지는 감광막 패턴(14)을 형성한다.

- <25> 다음, 도 2b에 도시된 바와 같이, 감광막 패턴(14)을 마스크로 하여 노출된 산화막(13) 및 실리콘막(12)을 식각함으로써, 산화막(13) 및 실리콘막(12)을 트렌치(100)의 내부에 소정폭으로 남긴다.
- <26> 이어서, 산화막(13) 및 트렌치의 내부를 포함하여 실리콘웨이퍼(11)의 상부 전면에, 소스/드레인 영역의 역할을 할, 고농도 p형 불순물로 도핑된 p⁺ 다결정질의 SiGe 영역(15)을 형성한다.
- <27> SiGe 영역(15)을 형성할 때에는 Si 소스물질과 Ge 소스물질을 동시에 공급하여 다결정질의 SiGe을 증착하되, Si와 Ge의 비율은 9:1 내지 7:3 정도가 되도록 하며, 바람직하게는 Si와 Ge이 8:2의 비율이 되도록 할 수 있다.
- <28> 또한, 구동전압 조절을 위한 불순물 도핑은 SiGe 증착과 동시에 이루어지도록 하며, SiGe 증착 후에는 열처리를 수행하여 불순물, Si 및 Ge을 확산시키고 막질을 안정화시킨다.
- <29> 다음, 트렌치의 내부에만 SiGe 영역(15)을 남기고 그 외 나머지 부분을 제거한 후, SiGe 영역(15)을 포함하여 실리콘웨이퍼(11)의 상부 전면에 절연막(16)을 증착하고 실리콘웨이퍼(11)가 노출될 때까지 절연막(16)을 화학기계적 연마하여 상면을 평탄화시킨다.
- <30> 절연막(16)으로는 티오에스(TEOS : tetra ethyl ortho silicate)를 증착할 수 있다.

<31> 다음, 도 2d에 도시한 바와 같이, 절연막(16) 및 SiGe 영역(15)을 선택적으로 식각하여 소정폭의 게이트구(200)를 형성하고 이 때 게이트구(200)를 통해 산화막(13)이 소정폭 노출된다.

<32> 이어서, 산화막(13) 상에 질화막을 증착한 후 게이트구(200)의 양측벽에만 질화막을 남기도록 식각하여 사이드월(17)을 형성한다.

<33> 다음, 2e에 도시된 바와 같이, 노출된 산화막(13) 및 사이드월(17) 상에 게이트구(200)를 충분히 매립하도록 다결정실리콘층을 형성하고, 이를 목적하는 두께 및 폭으로 식각하여 게이트(18)를 형성하며, 이로써 모스 트랜지스터의 제조를 완료한다.

【발명의 효과】

<34> 상술한 바와 같이, 본 발명에서는 반도체 기판을 소정영역 식각하여 트렌치를 형성하고 이 트렌치를 활성영역으로 사용하며, 또한 트렌치 내에 p^+ 다결정질 SiGe막을 매립하여 이를 소스/드레인 영역으로 사용하기 때문에, 목적하는 소자의 활성영역을 자유로이 조절할 수 있으며, 따라서 소자의 고집적화 추세에 따라 소형화되는 모스 트랜지스터를 용이하게 제조할 수 있는 효과가 있다.

<35> 특히, 종래 방법으로 제조할 수 없을 만큼 소형화된 미세 소자를 제조할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 내에 목적하는 소자의 활성영역(active region)의 폭을 가지도록 형성된 트렌치의 바닥면에 소정폭 및 소정두께로 형성되고 실리콘으로 이루어진 채널영역;

상기 채널영역 상에 형성된 게이트산화막;

상기 트렌치 내부에서 게이트산화막의 상부에 형성된 소정폭의 게이트구가 구비되어 있고, 상기 채널영역, 게이트산화막 및 게이트구를 제외한 나머지 트렌치의 내부에 매립되도록 형성되며, SiGe으로 이루어지는 소스 및 드레인 영역;

상기 게이트구에 매립되도록 형성된 게이트

를 포함하는 것을 특징으로 하는 모스 트랜지스터.

【청구항 2】

제 1 항에 있어서,

상기 SiGe으로 이루어진 소스 및 드레인 영역은, Si과 Ge의 비율이 9:1 내지 7:3 이고, 불순물이 도핑된 다결정질인 것을 특징으로 하는 모스 트랜지스터.

【청구항 3】

제 2 항에 있어서,

상기 채널영역의 두께는 1000-3000Å인 것을 특징으로 하는 모스 트랜지스터.

【청구항 4】

제 3 항에 있어서,

상기 소스 및 드레인 영역의 상면에 형성되고, 티이오에스(TEOS : tetra ethyl ortho silicate)로 이루어진 절연막과,

상기 게이트구의 양 측벽에 형성되고 질화막으로 이루어진 사이드월

을 더 포함하는 것을 특징으로 하는 모스 트랜지스터.

【청구항 5】

반도체 기판을 선택적으로 식각하여 트렌치를 형성하는 단계;

상기 트렌치의 바닥면에 소정폭의 실리콘층으로 이루어진 채널영역을 형성하고, 상기 채널영역 상에 게이트산화막을 형성하는 단계;

상기 게이트산화막의 상부 및 상기 트렌치의 내부에 SiGe 영역을 형성하여 트렌치를 매립하는 단계;

상기 SiGe 영역을 선택적으로 식각하여 상기 게이트산화막을 노출시키는 소정폭의 게이트구를 형성하는 단계;

상기 노출된 게이트산화막 상에 실리콘층을 형성하여 상기 게이트구를 매립함으로써 게이트를 형성하는 단계

를 포함하는 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 6】

제 5 항에 있어서,

상기 채널영역 및 게이트산화막을 형성할 때에는, 상기 트렌치를 포함하여 상기 반도체 기판의 상부 전면에 실리콘층을 1000-3000Å 두께로 형성하고, 상기 실리콘층 상에 게이트산화막을 100-500Å 두께로 형성한 후,

상기 게이트산화막 상에 상기 트렌치 내부에서 게이트산화막의 소정폭을 덮는 감광막 패턴을 형성하고, 상기 감광막 패턴을 마스크로 하여 노출된 게이트산화막 및 실리콘층을 식각함으로써, 소정폭의 실리콘층으로 이루어진 채널영역 및 게이트산화막을 형성하는 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 7】

제 5 항에 있어서,

상기 SiGe 영역을 형성할 때에는, 상기 SiGe의 증착과 동시에 불순물을 도핑하여 불순물이 도핑된 다결정질의 SiGe을 형성하는 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 8】

제 7 항에 있어서,

상기 SiGe의 증착 시에는 Si과 Ge의 비율이 9:1 내지 7:3 이 되도록 증착하는 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 9】

제 8 항에 있어서,

상기 SiGe의 증착 후에는 열처리를 수행하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 10】

제 5 항에 있어서,

상기 SiGe 영역을 형성할 때에는, 상기 트렌치의 내부를 포함하여 상기 반도체 기판의 상부 전면에 상기 SiGe 영역을 형성한 후, 상기 트렌치의 내부를 제외한 나머지 부분의 SiGe 영역을 제거하고,

상기 SiGe 영역을 포함하여 상기 반도체 기판의 상부 전면에 티이오에스 (TEOS : tetra ethyl ortho silicate)막을 증착한 후, 상기 반도체 기판이 노출 될 때까지 티이오에스막을 화학기계적 연마하는 것을 특징으로 하는 모스 트랜지스터 제조 방법.

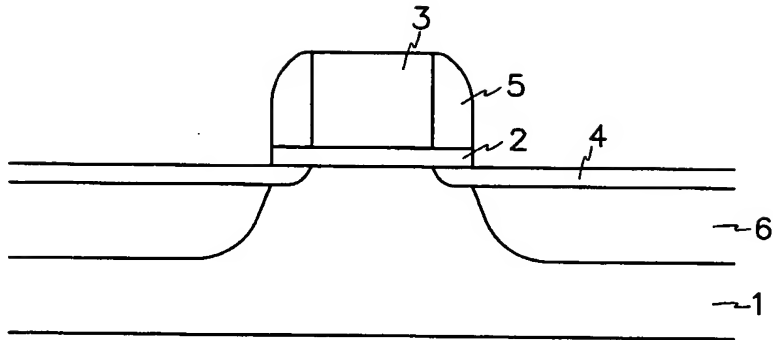
【청구항 11】

제 10 항에 있어서,

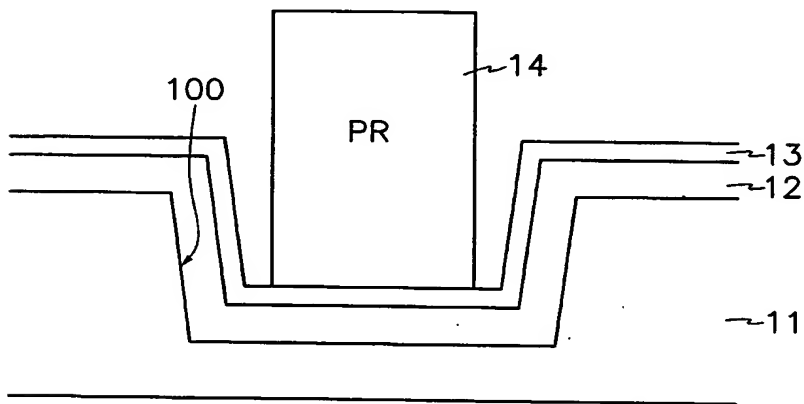
상기 게이트구의 형성 단계 이후에는, 상기 게이트구의 양 측벽에 질화막으로 이루어진 사이드월을 형성하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【도면】

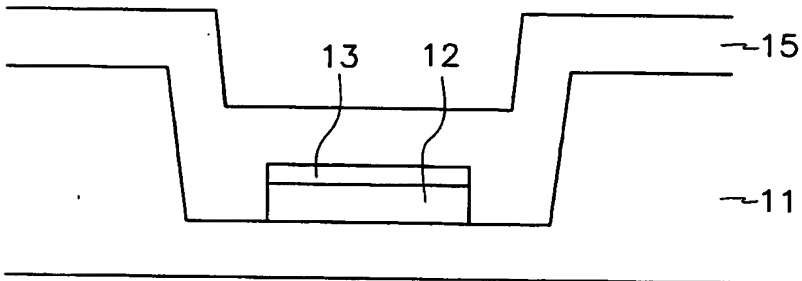
【도 1】



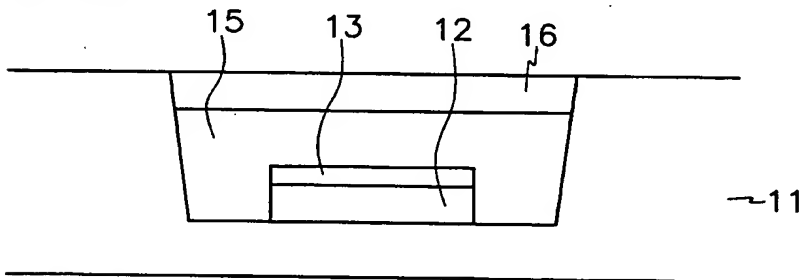
【도 2a】



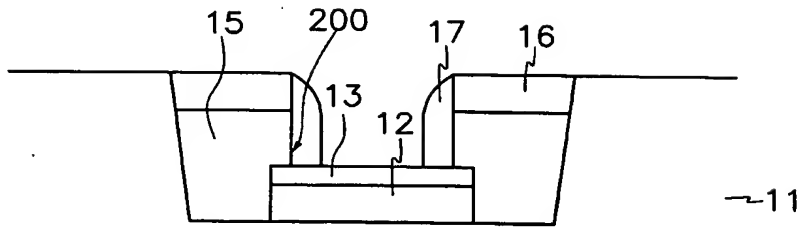
【도 2b】



【도 2c】



【도 2d】



【도 2e】

